

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑪ 公開特許公報(A) 平3-257652

⑫ Int. Cl.<sup>9</sup>G 06 F 15/16  
9/46

識別記号

3 1 0 P  
3 6 0 A

庁内整理番号

8840-5L  
8120-5B

⑬ 公開 平成3年(1991)11月18日

審査請求 未請求 請求項の数 8 (全12頁)

⑭ 発明の名称 マルチプロセッサシステムおよび割り込み制御装置

⑮ 特 願 平2-57424

⑯ 出 願 平2(1990)3月8日

⑰ 発 明 者 持 田 哲 也 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑰ 発 明 者 岡 澤 宏 一 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑰ 発 明 者 木 村 光 一 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑰ 発 明 者 川 口 仁 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代 理 人 弁理士 富田 和子

最終頁に続く

## 明 記 書

## 1. 発明の名称

マルチプロセッサシステムおよび割り込み制御装置

## 2. 特許請求の範囲

## 1. 複数のプロセッサエレメント(PE)と、割り込み制御装置とを有し、

前記割り込み制御装置は、各PEに対応した、少なくとも対応するPEよりリードアクセス可能かつ対応するPE以外の他のPEよりライトアクセス可能な割り込み要求レジスタと割り込み要求手段とを備え、

前記各割り込み要求レジスタは、対応するPE以外の他の各PEよりの割り込みの要求の発生を示す、前記他の各PEに対応した割り込み要求ビットを少なくとも有し、

前記割り込み要求手段は、割り込み要求レジスタの割り込み要求ビットに応じて、該割り込み要求ビットが属するレジスタに対応するPEに割り込み要求を行うことを特徴とするマルチプロ

セッサシステム。

## 2. 複数のプロセッサエレメント(PE)と、割り込み制御装置とを有し、

前記割り込み制御装置は、各PEに対応した、少なくとも対応するPEよりリードアクセス可能かつ対応するPE以外の他のPEよりライトアクセス可能な割り込み要求レジスタと、少なくとも対応するPEよりライトアクセス可能な、各割り込み要求レジスタに対応した割り込みイネーブルレジスタと、割り込み要求手段とを備え、

前記各割り込み要求レジスタは、対応するPE以外の他の各PEよりの割り込みの要求の発生を示す、他の各PEに対応した割り込み要求ビットを少なくとも有し、

前記各割り込みイネーブルレジスタは、対応する割り込み要求レジスタの各割り込み要求ビットの示す割り込みの要求に対する許可を示す、割り込み要求ビットに対応したイネーブルビットを有し、

前記割り込み要求手段は、割り込み要求レジス

## 特開平3-257652(2)

タの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応するPEに割り込み要求を行うことを特徴とするマルチプロセッサシステム。

3. 複数のプロセッサエレメント(PE)と、周辺装置と、割り込み制御装置とを有し、

前記割り込み制御装置は、各PEに対応した、少なくとも対応するPEよりリードアクセス可能な割り込み要求レジスタと、各割り込み要求レジスタに対応した、少なくとも対応するPEよりライトアクセス可能な割り込みイネーブルレジスタと、割り込み要求手段とを備え、

前記各割り込み要求レジスタは、各周辺装置よりの割り込みの要求の発生を示す、周辺装置に対応した割り込み要求ビットを少なくとも有し、

前記各割り込みイネーブルレジスタは、対応する割り込み要求レジスタの各割り込み要求ビットの示す割り込みの要求に対する許可を示す、割

み。

5. 割り込みの要求の発生を示す割り込み要求ビットを有する、外部よりアクセス可能な、複数の割り込み要求レジスタと、

前記割り込み要求レジスタに対応した、対応する割り込み要求レジスタの各割り込み要求ビットの示す割り込みの要求に対する許可を示す、割り込み要求ビットに対応したイネーブルビットを有する、少なくとも外部よりライトアクセス可能なイネーブルレジスタと、

割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応する割り込み信号を出力する割り込み要求手段と、

を有することを特徴とする割り込み制御装置。

6. 割り込みの要求の発生を示す割り込み要求ビットを有する、外部より少なくともリードアクセス可能な、複数の割り込み要求レジスタと、

前記割り込み要求レジスタに対応した、対応する割

込み要求ビットに対応したイネーブルビットを有し、

前記割り込み要求手段は、周辺装置に割り込み要求が発生した場合に、各割り込み要求レジスタの該周辺装置に対応する割り込み要求ビットを設定し、割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応するPEに割り込み要求を行うことを特徴とするマルチプロセッサシステム。

4. 周辺装置を備えた請求項2記載のマルチプロセッサシステムであって、

前記各割り込み要求レジスタは、各周辺装置よりの割り込みの要求の発生を示す、周辺装置に対応した割り込み要求ビットを有し、

前記割り込み要求手段は、周辺装置に割り込み要求が発生した場合に、各割り込み要求レジスタの該周辺装置に対応する割り込み要求ビットを設定することを特徴とするマルチプロセッサシステム。

込み要求レジスタの各割り込み要求ビットの示す割り込みの要求に対する許可を示す、割り込み要求ビットに対応したイネーブルビットを有する、少なくとも外部よりライトアクセス可能なイネーブルレジスタと、

入力信号に応じて割り込み要求ビットを設定する手段と、

割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応する割り込み信号を出力する割り込み要求手段と、

を有することを特徴とする割り込み制御装置。

7. 入力信号に応じて割り込み要求ビットを設定する手段を有することを特徴とする請求項5記載の割り込み制御装置。

8. 請求項5、6または7記載の割り込み制御装置とバス制御装置とを同一のチップ内に有することを特徴とするマルチプロセッサシステム制御用IC。

特開平3-257652 (3)

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明はプロセッサシステムに関し、特に複数のプロセッサエレメント（本明細書中、PEという）が接続されたマルチプロセッサシステムにおける割り込み制御の技術に関するものである。

## 【従来の技術】

マルチプロセッサシステムの割り込みにおいては、割り込みを発生する装置（I/O装置またはプロセッサなど割り込みを発生できる装置の全て）が、どのプロセッサに割り込みを行うかを指定する必要がある。

これを単純に実現するには、割り込みを発生する装置の全てから、全てのPEに割り込み要求線を設ければよいが、この場合は、ハードウェア量が非常に大きくなるという問題がある。

そこで、割り込み要求線を減らすための技術として、たとえば、特開昭63-163948号公報に記載されている技術のように、全てのPEに接続した1本の割り込み要求線を、割り込み発

生するためのハードウェアを、特に設ける必要があり、ハードウェア量が增大するという問題点もあった。

なお、割り込みを受ける側の装置に何らかの要求発生元を知る手段を設けない限り、割り込み発生を行える装置がただの1つに限定されるという問題もあった。

そこで、本発明は、ハードウェア量をさほど増大することなしに、バススループットを低下することなく、統一的に、要求発生元の認知を含めた割り込みの制御を行うことのできるマルチプロセッサシステムを提供することを目的とする。

## 【問題を解決するための手段】

前記目的達成のために、本発明は、PEと、割り込み制御装置とを有し、

前記割り込み制御装置は、各PEに対応した、少なくとも対応するPEよりリードアクセス可能かつ対応するPE以外の他のPEよりライトアクセス可能な割り込み要求レジスタと割り込み要求手段とを備え、

PEの固有メモリ空間をアドレッシングすると共にアサートすることにより、割り込み発PEを特定する技術等が知られている。

## 【発明が解決しようとする課題】

前記特開昭63-163948号公報に記載の技術によれば、割り込みを発生すると同時にアドレスをドライブする必要があり、通常の転送と割り込みの発生とを同時に行うことができないため、バススループットを低下させるという問題があった。

また、割り込みを発生する装置がアドレスラインをドライブする必要があり、これが可能な装置、たとえば共通バスに接続されたプロセッサや、DMA機能を有するI/O装置等以外の装置の発生する割り込みを、別途処理する手段を設けなければならないという問題があった。

また、一般のCPUチップは、他の装置へ割り込み要求を発生するためのハードウェアを用意していない場合が多く、本従来技術を実現するためには、PEユニット内に割り込み要求線をドライ

ブする各割り込み要求レジスタは、対応するPE以外の他の各PEよりの割り込みの要求の発生を示す、他の各PEに対応した割り込み要求ビットを少なくとも有し、

前記割り込み要求手段は、割り込み要求レジスタの割り込み要求ビットに応じて、該割り込み要求ビットが属するレジスタに対応するPEに割り込み要求を行うことを特徴とする第1のマルチプロセッサシステムを提供する。

また、前記目的達成のために、本発明は、複数のPEと、割り込み制御装置とを有し、

前記割り込み制御装置は、各PEに対応した、少なくとも対応するPEよりリードアクセス可能かつ対応するPE以外の他のPEよりライトアクセス可能な割り込み要求レジスタと、少なくとも対応するPEよりライトアクセス可能な、各割り込み要求レジスタに対応した割り込みイネーブルレジスタと、割り込み要求手段とを備え、

前記各割り込み要求レジスタは、対応するPE以外の他の各PEよりの割り込みの要求の発生を

## 特開平3-257652(4)

示す、他の各PEに対応した割り込み要求ビットを少なくとも有し、

前記各割り込みイネーブルレジスタは、対応する割り込み要求レジスタの各割り込み要求ビットの示す割り込みの要求に対する許可を示す、割り込み要求ビットに対応したイネーブルビットを有し、

前記割り込み要求手段は、割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応するPEに割り込み要求を行うことを特徴とする第2のマルチプロセッサシステムを提供する、

なお、本第2のマルチプロセッサシステムにおいては、前記各割り込み要求レジスタは、各周辺装置よりの割り込みの要求の発生を示す、周辺装置に対応した割り込み要求ビットを有し、前記割り込み要求手段は、周辺装置に割り込み要求が発生した場合に、各割り込み要求レジスタの該周辺装置に対応する割り込み要求ビットを設定するようにしても良い、

に応じて、該割り込み要求ビットが属するレジスタに対応するPEに割り込み要求を行うことを特徴とする第3のマルチプロセッサシステムを提供する、

また、さらに、本発明は、前記目的達成のために、割り込みの要求の発生を示す割り込み要求ビットを有する、外部よりアクセス可能な、複数の割り込み要求レジスタと、

割り込み要求レジスタに対応した、対応する割り込み要求レジスタの各割り込み要求ビットの示す割り込みの要求に対する許可を示す、割り込み要求ビットに対応したイネーブルビットを有する、少なくとも外部よりライトアクセス可能なイネーブルレジスタと、

割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応する割り込み信号を出力する割り込み要求手段と、

を有することを特徴とする第1の割り込み制御装

置、また、本発明は、前記目的達成のために、複数のPEと、周辺装置と、割り込み制御装置とを有し、

前記割り込み制御装置は、各PEに対応した、少なくとも対応するPEよりリードアクセス可能な割り込み要求レジスタと、各割り込み要求レジスタに対応した、少なくとも対応するPEよりライトアクセス可能な割り込みイネーブルレジスタと、割り込み要求手段とを有し、

前記各割り込み要求レジスタは、各周辺装置よりの割り込みの要求の発生を示す、周辺装置に対応した割り込み要求ビットを少なくとも有し、

前記各割り込みイネーブルレジスタは、対応する割り込み要求レジスタの各割り込み要求ビットの示す割り込みの要求に対する許可を示す、割り込み要求ビットに対応したイネーブルビットを有し、

前記割り込み要求手段は、周辺装置に割り込み要求が発生した場合に、各割り込み要求レジスタの該周辺装置に対応する割り込み要求ビットを設定し、割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットと

とを有し、

を提供する、

なお、本第1の割り込み制御装置においては、入力信号に応じて割り込み要求ビットを設定する手段を有するようにしても良い、

また、前記目的達成のために、本発明は、割り込みの要求の発生を示す割り込み要求ビットを有する、外部より少なくともリードアクセス可能な、複数の割り込み要求レジスタと、

割り込み要求レジスタに対応した、対応する割り込み要求レジスタの各割り込み要求ビットの示す割り込みの要求に対する許可を示す、割り込み要求ビットに対応したイネーブルビットを有する、少なくとも外部よりライトアクセス可能なイネーブルレジスタと、

入力信号に応じて割り込み要求ビットを設定する手段と、

割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応する割り込み信号を出力する割り込み要求

特開平3-257652(5)

手段と、

を有することを特徴とする第2の割込み制御装置を提供する。

また、併せて、本発明は、前記割込み制御装置とバス制御装置とを同一のチップ内に有することを特徴とするマルチプロセッサシステム制御用ICを提供する。

【作用】

本発明に係る第1のマルチプロセッサシステムによれば、割込みを要求するPE等は、割込み要求先PEに対応した割込み要求レジスタの時PEに割り込まれた割込み要求ビットを設定する。そして、割込み要求手段は、設定された割り込み要求ビットに応じて、該割り込み要求ビットが属するレジスタに対応するPEに割込み要求を行う。

これにより、割り込みを出力する機能のないPE等であっても、他のPEへ割り込みを行うことができる。一方、割込みを要求されたPEは割込み要求レジスタをリードすることにより割込み発生元を知ることができる。

トされていることから、割り込み要求元の周辺装置を知ることができる。

なお、前記割込み要求レジスタおよび割込みイネーブルレジスタは一度のアクセスでリードもしくはライト可能とすることが望ましい。割込み処理の効率化が図れるからである。

(以下余白)

また、本発明に係る第2のマルチプロセッサシステムによれば、対応するPEに対応する割り込みイネーブルレジスタに各割込み要求元に対する割込み要求許可を設定し、割込み要求手段が割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応するPEに割込み要求を行うことにより、融通性の高い割込み制御を行うことができる。

また、本発明に係る第3のマルチプロセッサシステムによれば、割込み要求手段は、周辺装置に割込み要求が発生した場合に、各割込み要求レジスタの該周辺装置に対応する割込み要求ビットを設定し、割り込み要求レジスタの割り込み要求ビットと、割り込み要求ビットに対応するイネーブルビットとに応じて、該割り込み要求ビットが属するレジスタに対応するPEに割込み要求を行うことにより割込み先を指定でき、一方、割込み要求を受けたPEは割込み要求レジスタをリードすることにより、割り込み要求元を示すビットがセッ

【実施例】

以下、本発明の実施例を説明する。

第1図に本実施例に係るマルチプロセッサシステムの構成を示す。

図示するように、本実施例においては、プロセッサバス101を介して4台のPE(プロセッサエレメント)103-1~103-4が接続されている。

プロセッサバス101とシステムバス102とは、バス制御装置105によって接続制御が行われる。

また、割り込み制御装置104は、プロセッサバス101にバスライン108で接続されており、各PEは、割り込み制御装置104の内部のレジスタをリード/ライトできるようになっている。

また、各PEへの割り込み要求線109-1~109-4が割り込み制御装置104から接続されている。

また、I/O装置等の周辺装置106-1~106-24の割り込み要求線110-1~110-24が割り込み制御装置104に接続さ

## 特開平3-257652(6)

れている。本実施例においては106-2～106-24をI/O装置としている。

I/O装置106-2～106-24は、システムバス102を通じて相互に接続されている。

また、106-1は、システムバスに接続されていないが、割り込みを行う周辺装置である。このようなバスに接続されている必要のない周辺装置としては、インターバルタイマ、ソフトウェアパワーオフスイッチ、2次電源（パワーフェイルド割込み）等がある。

割り込み処理装置104は内部にPEから読み書き可能な割り込み制御レジスタ(ICR)107を備えている。

まず、PE1(103-1)がI/O装置2(106-2)に処理依頼を行い、その終了報告を割り込みで行う場合を例にとり、本マルチプロセッサシステムの動作を説明する。

第2図に、この場合のICR107の構成を示す。

ICR107は、PEに対応したICR1～

109が発生する。

まず、PE1(103-1)は、割り込み制御装置104の自己に対応するICR1であるところのICR1のCHENB1(202-1)にアクセスして、CE2ビットに1をライトして割り込みイネーブルをONとし、次に、プロセッサバス101、バス制御装置105、システムバス102を介してI/O装置2(106-2)へ処理依頼を行う。

I/O装置2(106-2)は処理が終了したら、割り込み要求110-2をアサートする。それを受けた割り込み制御装置104は、各ICRのCHINT1(201)のI/O装置2(106-2)に対応する割り込み要求ビットのCI2をONとすると共に、割り込みイネーブルビット202-1との積が0でないことをもって、PE2(103-2)への割り込み要求109-2をアサートする。

割り込み要求を受けたPE1(103-1)は、その割り込み処理の中でレジスタICR1をリ-

ICR4の4本のレジスタからなり、本実施例においては各レジスタは84ビットのロングワードレジスタとしている。各レジスタの上位ロングワード側205には、割り込み要求の発生を示すCHINTレジスタ201-1～201-4を備え、下位ロングワード側200には、割り込み要求のイネーブルを示すCHENBレジスタ202-1～202-4を備えている。

CHINTレジスタ201-1～201-4は、各々周辺装置に対応した割り込み要求ビットCI1～24よりなり、CHENBレジスタ202-1～202-4は、各々周辺装置に対応した割り込み要求のイネーブルビットCE1～24よりなる。

なお、本実施例においては、周辺装置は、合計24台まで接続可能としている。

イネーブルCHENB202のセットされているビットに対応する割り込みCHINT201のビットがONになったとき、そのCHINTレジスタに該当するPEに対して割り込み要求

ドすることによって割り込み要求元がI/O装置2(106-2)であることを知る。

その後、ICR1のCHENB1(202-1)のCE2ビットに0をライトして割り込みイネーブルをOFFすると共に、I/O装置2(106-2)に割り込み要求のOFFを指示する。

これをもって、割り込み要求110-2はネゲートされ、割り込み処理装置104はICRのCHINT(202)のCI2ビットをOFFする。

割り込み処理装置104は、CHINT(202-1)のCE2ビットに0がライトされると、割り込みイネーブルビット202-1との積が0であることをもって割り込み要求109-2をネゲートする。但し、ICR1内の、他の周辺装置に対応する割り込み要求ビットのCIと割り込みイネーブルビットCEとの積が0でない場合はネゲートしない。

次に、以上の機能を実現する割り込み処理装置内の回路構成について説明する。

第7図にこの構成を示す。

## 特開平3-257652(7)

図中において、ラッチ708-1~708-24がICR1の第0ビットから第23ビットすなわちCHENB1(202-1)に当たり、同様に709、710、711がCHENB2、CHENB3、CHENB4(202-2、202-3、202-4)に当たる。

デコーダ701は、リードライト信号724、ストローブ信号725、アドレス726をデコードし、ラッチ708、709、710、711の各々のロードタイミング信号727-1~727-4を得る。

ライトデータは、セレクタ704、705、706、707を通じてラッチ708、709、710、711にセットされる。一方、ラッチ703-1~703-24がCHINT1-4(201-1~201-4)に當っており、4つのレジスタで共通のラッチを用いているため、この4つのレジスタの上位ロングワードは同じ値をとり、各々の周辺装置からの割り込み要求の有無を示している。

711を読み出すためにデコーダ721が設けられており、リードライト信号724、ストローブ725、アドレス726から、当該レジスタ読み出しであることを示す78E-1~78E-4を得る。

アンドゲート730-1~730-24、731-1~731-24、732-1~732-24、733-1~733-24を通じオアゲート736-1~736-24からCHENB(202-1~202-4)の値が出力される。

同時に上位ロングワードの値としてCHINT(201-1~201-4)の値が、オアゲート737の出力により開かれたアンドゲート734-1~734-24から出力される。

以上、本実施例によれば、処理の多重化に伴って、複数のI/O装置に処理依頼を行うために複数のチャネルから割り込みが発生する可能性がある場合においても、レジスタICRをリードすることで複数の割り込みチャネルの中から割り込み要求元が、いずれのチャネルからであるのかを知

割り込み要求は、ラッチ702-1~702-24で内部同期された後にラッチ703-1~703-24にセットされる。

ラッチ703-1~703-24とラッチ708-1~708-24との各々の論理積がアンドゲート712-1~712-24でとられ、割り込み要求が存在し、かつ割り込みがイネーブルになっているチャネルが1つでもあるれば、オアゲート717の出力すなわちPE1への割り込み要求100-1がアサートする。

同様にラッチ703-1~703-24と、709-1~709-24、710-1~710-24、711-1~711-24との論理積がそれぞれアンドゲート713-1~713-24、714-1~714-24、715-1~715-24により実行され、オアゲート718、719、720によりそれぞれPE2、PE3、PE4への割り込み要求109-2、109-3、109-4を得る。

ラッチ708、709、710、

ることができる。

また、各周辺装置ごとに1本の割り込み要求線で、複数のPEの中から割り込み要求を発生すべきPEへの割り込みを行うことが可能になる。

ここで、以上のPE1(103-1)がI/O装置2(106-2)に処理依頼を行い、その終了報告を割り込みで行う場合のICR107の値の構成を第6図に示す。

図示するように、ICRレジスタを周辺装置のチャネル数分設け、それぞれのレジスタについてCIビットとCEビットを、それぞれPEに対応して設ける。

そして、割り込み制御装置104はCIビットとCEビットの論理積が1となったビットに対応するPEに割り込みをアサートする。一方、割り込みを受けたPEは各ICRレジスタをサーチして割り込み発生元の周辺装置を知ることができる。

次に、PEからPEへの割り込みを行う場合を例に取り本実施例に係るマルチプロセッサシステムの動作を説明する。

## 特開平3-257652(8)

第3図に、この場合のICR107の構成を示す。

ICR107は、PEに対応したICR1～ICR4の4本の64ビットレジスタからなり、各々その上位ロングワード側205には、割り込み要求の発生を示すPPINTレジスタ201-1～201-4を備え、下位ロングワード側200には、割り込み要求のイネーブルを示すPPENBレジスタ202-1～202-4を備えている。

PPINTレジスタ201-1～201-4は、各々PEに対応した割り込み要求ビットPI1～24よりなり、PPENBレジスタ202-1～202-4は、各々PE装置に対応した割り込み要求のイネーブルビットPEN1～24よりなる。

以下、PE2(103-2)のタスクが、PE3(103-3)のタスクのデータ持ちをするものとして動作を説明する。

PE2(103-2)のタスクは、まずICR2のPPENB2(302-2)上のPEN3ビット

に1をライトして、割り込みイネーブルをONとし、次にPE3(103-3)へプロセスバス101を介してタスクのデータ持ちである旨を知らせる。

PE3は(103-3)は、当該のデータが得られたら図示せざる共有メモリに格納し、ICR2のPPINT2(302-2)上のPI3ビットに1をライトする。

割り込み処理装置104は、割り込み要求ビット201-2と、割り込みイネーブルビット302-2との積が0でないことをもって割り込み要求109-2をアサートする。

割り込み要求を受けたPE2は、要求した当該データを共有メモリからリードすると共に、ICR2のPPINT2(301-2)のPI3ビットと、PPENB2(302-2)のPEN3ビットとに0をライトする。

割り込み処理装置104は、ICR2の上位ロングワードと下位ロングワードの対応する各ビットの積が全て0であることをもって割り込み要求

109-2をネゲートする。

以上の動作を実現する割り込み制御装置内の回路構成は、割り込み要求の発生回路を、各ICRのPPINT2とPPENB2レジスタの論理積を取る構成とすれば良い。

なお、以上の動作は、他のPE(PE3とする)のタスクが出力するデータを必要とするPE(PE2とする)が割り込みの許可を制御する必要がない場合等は、自身に対応するICRのPENビットを全てONにしておき(ICR2のPEN1～PEN4に1をライト)、共有メモリへのデータ出力を行ったPE3がICR2のPI3ビットに1を書き込むことによって行っても良い。また、この場合は、ICRレジスタ中PPENBを省略するようにしても良い。

また、他のPE(PE3とする)がデータの要求を一時に一つしか受け付けないものである場合等には、データ要求を行ったPE(PE2とする)が自身に対応するICRのPENビットを全てONにしておき(ICR2のPEN1～PEN4

に1をライト)、共有メモリへのデータ出力を行ったPE3がICR1～ICR4までの各PI3に1をライトする簡易なプロトコルによっても良い。この場合は、PEN1～PEN4を1ビットで代表させるようにしても良い。また、各PPINT中の各Pin(n=1, 2, 3, 4)を1ビットで代表させるようにしても良い。

本実施例によれば、割り込みを出力する機能のないCPUチップを用いたPEでも、他のPEへの割り込みを行うことが可能となる。

次に、第4図に周辺装置からの割り込みとPEからPEへの割り込みとの両方を制御する割り込み制御装置104内のレジスタ107の構成を示す。

この場合は、図示するようにPEからの割り込みを示すビット(301-1～301-4)と周辺装置からの割り込みを示すビット201-1～201-4とを同一ロングワード内に配置する。

また、対応する下位ロングワード内に各PEからの割り込み要求をイネーブルするビットと各周



特開平3-257652(9)

周辺回路からの割り込み要求をイネーブルするビットとを記憶する。

割り込み制御装置104は、各レジスタICRについて、その上位ロングワード側ビットと下位ロングワード側ビットとのビットごとのANDをとり、値1となるビットを有するICRに対応するPEの割り込み要求線109をアサートする。

これにより、割り込みを受けたPEが一度のリードで全周辺装置と全PEの中から自身に対する割り込み要求を起こしている要求元を知ることができる。

この機能を実現する割り込み制御装置内の回路構成は、割り込み要求の発生回路を、各ICRの上位ロングワードと下位ロングワードの論理積を取る構成とすれば良い。

なお、本実施例に係る割り込み制御装置は、PEの接続されるプロセッサバス101に接続されるため、バス制御装置108の内部に構成するとプロセッサバスとの接続線を共用できる。

この場合の割り込み制御装置の構成を第5図に示

また、周辺装置の割り込み信号線のアサートによりセットされる割り込み要求と、PEが発生する割り込みとの両方の、すべての周辺装置および、すべてのPEの中から割り込み要求元を知ることが、一度のリードでできるので、処理速度の速い割り込みハンドラを組むことができるという効果がある。

なお、本実施例においては、PEを4台として説明したがこれに限るものではない。また、プロセッサバスとシステムバスを異なるバスとしたが、これは共通のものでも良い。

また、本実施例においては、割り込み要求ビットと割り込み要求のイネーブルビットの条件がそろった場合に割り込み制御装置は、割り込み要求をPE出力する場合について説明したが、これは、例えば複数の割り込み要求ビット、または、複数の割り込み要求ビットと割り込み要求のイネーブルビットの組の条件がそろった場合に、割り込み制御装置は割り込み要求を出力するようにしても良い。この場合、たとえば割り込み制御装置内に割り込み要求出力

す。

図中、501はバスアクセスやプロセッサバス101とシステムバス102の接続を制御するバスコントローラ、102が割り込み制御装置と等価な機能を有する割り込みコントローラ104であり、割り込みコントローラとバスコントローラ501との両方がプロセッサバスが内部接続されている。

このような構成によりバス制御部全体をLSI化すれば、本実施例に係る割り込み制御装置をシステムに実装しやすくなるという効果がある。

以上、本実施例によれば、チャネル自身の割り込み要求を受け付けるべきPEに割り込み要求が発生することが、各チャネルごとに1本ずつ設けた割り込み信号線で実現できるので、ハードウェア量が小さくてすみマルチプロセッサシステムの割り込み制御装置が実現できるという効果がある。

また、PEからのライトアクセスにより、他のPEへの外部割り込みが起動できるので、特定の信号線を設けずにPEからPEへのハードウェア割り込みが実現できるという効果がある。

の条件テーブルを備えることにより、割り込み要求出力の条件をPEより設定可能とするのが望ましい。

#### 【発明の効果】

以上のように、本発明によれば、ハードウェア量をそれほど増大することなく、一元的に、要求発生元の認知を含めた割り込みの制御を行うことのできるマルチプロセッサシステムを提供することができる。

#### 4. 図面の簡単な説明

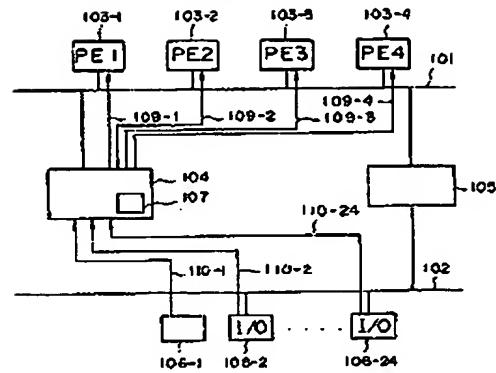
第1図は本発明の一実施例に係るマルチプロセッサシステムの構成を示すブロック図、第2、3、4図は割り込み制御装置が備えるICRレジスタの構成を示すブロック図、第5図は割り込みコントローラとバスコントローラを備えたLSIの構成を示すブロック図、第6図は割り込み制御装置が備えるレジスタの他の構成を示すブロック図、第7図は割り込み制御装置のICRレジスタ周辺の内部構成を示すブロック図である。

特開平3-257652(10)

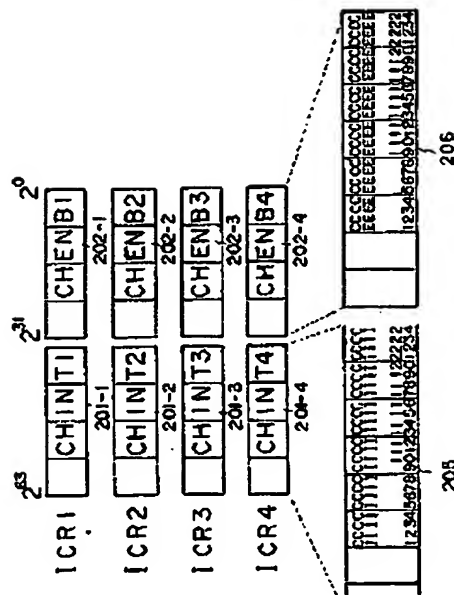
101…プロセッサバス、103…PE、104…割り込み制御装置、105…バス制御装置、107…ICR制御レジスタ、108…バスライン  
 201…CIビット、301…PIビット、202…CEビット、302…PENビット、

出版人 株式会社 日立製作所  
 代理人 弁護士 宮田 和子

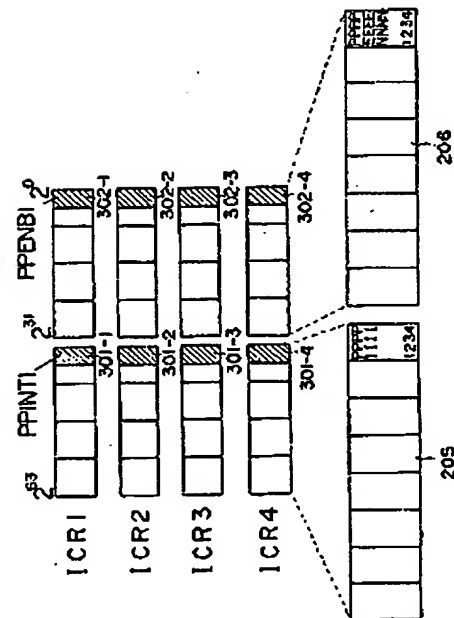
第 1 図



第 2 図

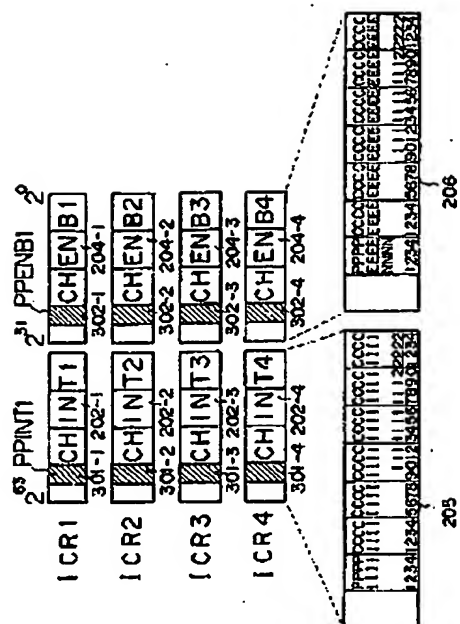


第 3 図

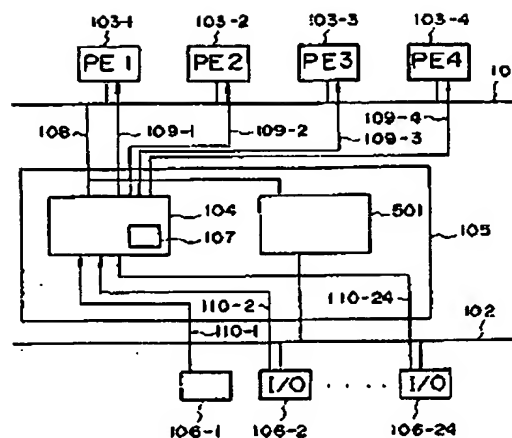


特開平3-257652(11)

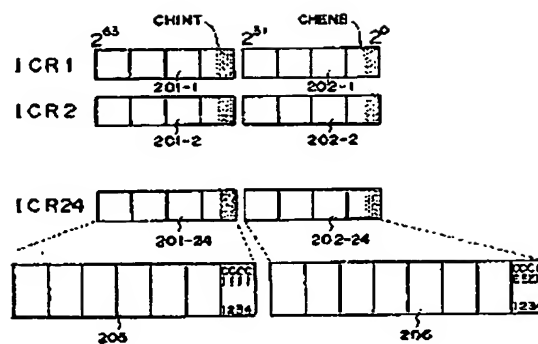
第 4 図



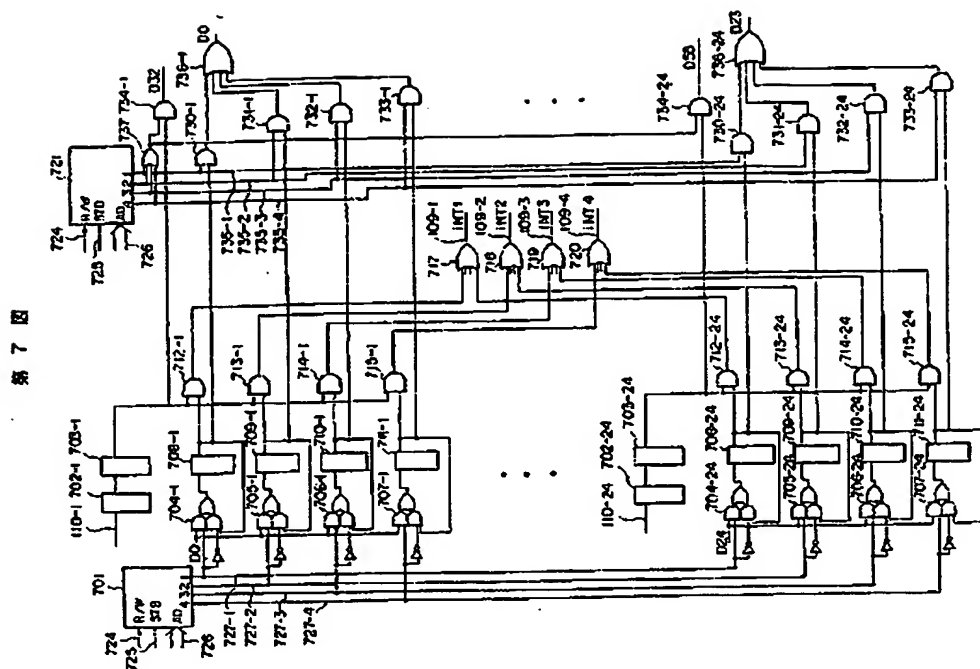
第 5 図



第 6 図



特開平3-257652(12)



## 第 1 頁の続き

④発 明 者 小 林 一 司 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内